

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216258

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H01L 21/90
H01L 21/3205
H01L 23/12
H05K 3/22
H05K 3/40
H05K 3/46

(21)Application number : 05-021738

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.01.1993

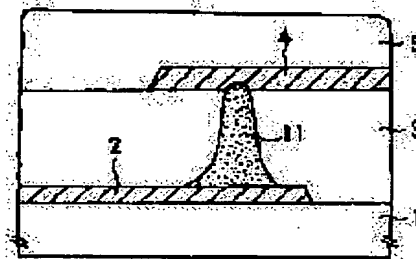
(72)Inventor : EZAWA HIROKAZU
MIYATA MASAHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To facilitate manufacture, to form a metal column for connecting interconnections with less steps, and to simultaneously flatten an insulating film.

CONSTITUTION: A semiconductor substrate 1 insulated on a surface via a silicon thermal oxide film is formed with an interconnection 2 of a lower layer having a predetermined pattern by sputtering. A metal column 11 to become a connecting electrode is formed on the interconnection 2 by screen printing. After a polyimide insulating film 3 is so formed as to completely bury it, the insulating film is etched back to expose an end of the column. Thereafter, an interconnection 4 is so provided on the film 3 as to be brought into contact with the end, and both the interconnections are electrically connected.



LEGAL STATUS

[Date of request for examination] 11.12.1998

[Date of sending the examiner's decision of rejection] 30.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3457348

[Date of registration] 01.08.2003

[Number of appeal against examiner's decision of rejection] 2001-03090

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

01.03.2001

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-216258

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/90	B	7514-4M		
21/3205				
23/12				
		7514-4M	H 0 1 L 21/ 88	K
		9355-4M	23/ 12	N
			審査請求 未請求 請求項の数 5 F D (全 7 頁) 最終頁に続く	

(21)出願番号 特願平5-21738

(22)出願日 平成5年(1993)1月15日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 江澤 弘和

神奈川県川崎市幸区堀川町72番地 株式会
社東芝堀川町工場内

(72)発明者 宮田 雅弘

神奈川県川崎市幸区堀川町72番地 株式会
社東芝堀川町工場内

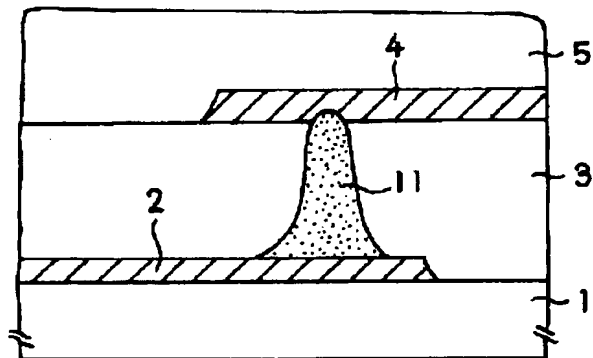
(74)代理人 弁理士 竹村 壽

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 製造が容易であり、かつ、少ない工程で配線間を接続するための金属柱を形成し、同時に絶縁膜の平坦化を行うことが可能な半導体装置の製造方法を提供する。

【構成】 表面がシリコン熱酸化膜で絶縁されている半導体基板1に所定のパターンを有する下層の配線2をスパッタリングなどで形成する。この下層配線2上に接続電極となる金属柱11をスクリーン印刷により形成する。これを完全に埋めるようにポリイミド絶縁膜3を形成してから、この絶縁膜をエッチバックして金属柱先端を露出させる。その後この先端に接するように絶縁膜3の上に配線4を施してこの両配線を電氣的に接続する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 複数の半導体チップが搭載される半導体基板又は絶縁基板からなる回路基板に下層の配線を形成する工程と、

前記下層の配線の所望の位置に対応した開口を有するスクリーン版を用いて金属ペーストをスクリーン印刷し、印刷された金属ペーストを熱処理による乾燥及び焼成を行って、前記回路基板上の前記下層の配線を含む所定の領域に金属柱を形成する工程と、

前記金属柱の先端部が露出するように前記下層の配線と前記金属柱とを被覆する絶縁膜を形成する工程と、

前記金属柱の露出した先端部に重なるように前記絶縁膜の上に上層の配線を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項2】 前記金属柱の先端部が露出するように前記下層の配線と前記金属柱とを被覆する絶縁膜を形成する工程において、前記回路基板上に、前記下層の配線及び前記金属柱を埋め込むように層間絶縁膜を形成し、その後この絶縁膜表面を前記金属柱の先端部が露出するまでエッチバックすることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記回路基板に半導体基板を用いる場合において、この半導体基板の表面を絶縁膜で被覆することを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

【請求項4】 前記半導体基板の表面を被覆する絶縁膜の所定の領域は、キャパシタの誘電体に用いることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 所望の配線パターンの開口を有するスクリーン版を介して金属ペーストを前記回路基板上にスクリーン印刷し、印刷された金属ペーストを熱処理による乾燥及び焼成によって前記回路基板上に前記下層の配線又は前記上層の配線もしくは前記上層及び下層の配線の双方を形成することを特徴とする請求項1乃至請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に係り、とくに複数の半導体チップを搭載する多層配線基板の配線間を接続する方法に関するものである。

【0002】

【従来の技術】近年、半導体装置の高密度化、小形化を図るために集積回路素子や個別半導体素子などが形成されている半導体チップを複数個1つのパッケージに収めるマルチチップパッケージが用いられるようになった。特に、電子機器の機能の大規模化・高速化が求められるにつれて、例えば、論理LSIのゲート当たりの遅延時間は数100psと高速化している。これに対して、プリント配線基板に多数のDIP(dual inline package)やプラグインパッケージを搭載する従来の実装形態では

高速化したLSIの性能を十分発揮させることができない。つまり信号の伝搬時間に関してチップ間の配線が長いのでこの遅延時間を短縮することができないのである。そのために現在1枚のセラミック基板もしくはシリコンなどの半導体基板上に多くの半導体チップを搭載し、半導体チップ間の配線長を非常に短くした高性能の高密度実装のマルチチップモジュール(multichip module:MCM)が開発されている。そして、回路基板や半導体基板上の配線間を接続することはICやLSIなどの半導体装置を形成する上で重要な製造工程の一つである。特に、半導体装置の高集積化、小型化が進むに連れて回路基板上に多層配線を形成し、その多層配線間を効率的に接続することは高性能の半導体装置を形成するためには必要不可欠である。

【0003】図10を参照して従来のMCMの多層配線基板の多層配線間の接続方法を説明する。例えば、表面に厚さ1000オングストロームの熱酸化膜が形成されたシリコン基板1の上に、所望のパターンを有する第1層配線2を形成する。この配線2は、各層の厚さが約600オングストロームの2層のTi層とこの2つのTi層に挟まれた厚さ約3μmのCu層からなるTi/Cu/Tiの積層構造を有しており、その製造方法は、真空蒸着法またはスパッタリング法などを利用している。続いて、例えば、ポリイミドの溶液を半導体基板全面に塗布し乾燥させてポリイミド絶縁膜3を形成する。そして、リソグラフィを用いて、ポリイミド膜3にコンタクト孔31を形成した後に層間絶縁膜となるポリイミド膜3を形成する。次いで、この上にTi/Cu/TiやAlなどの第2層配線4を第1層配線と同様な工程で形成する。この時、第2層配線4は前記コンタクト孔31内にも形成されるので、第1層及び第2層配線は互いに電氣的に接続される。この工程を繰り返してさらに多層の配線が相互に接続される。

【0004】

【発明が解決しようとする課題】コンタクト孔開孔の際には、フォトリソグラフィー技術、RIEなどのエッチング技術、フォトレジスト剥離などの工程を必要とする。ポリイミドの場合は、コリン溶液によりウェットエッチングが出来るが、有機絶縁膜の加工は、ウェットエッチングが出来ず、ドライエッチングに頼るか、ウェットエッチング溶液の使用に大幅な制限のある場合が多いため、膜の持つ特性と製造コストが両立出来ない。また、層間絶縁膜の膜厚が約10μmであるため上層配線の密度が高くなると、上層配線形成の際下層の平坦化が必要とされる。本発明は、この様な事情により成されたもので、製造が容易であり、しかも少ない工程数で配線間を接続するための金属柱を形成し、同時に絶縁膜の平坦化も行うことが可能な半導体装置の製造方法を提供することを目的にしている。

【0005】

【課題を解決するための手段】本発明は、半導体チップを搭載するMCMの多層配線基板などの回路基板や半導体基板の配線上に金属柱をスクリーン印刷により形成し、この上に絶縁膜を被覆し、この金属柱を絶縁膜から露出させ、その上に上層の配線を形成してこれら配線間を接続することを特徴としている。すなわち、本発明の半導体装置の製造方法は、複数の半導体チップが搭載される半導体基板又は絶縁基板からなる回路基板に下層の配線を形成する工程と、前記下層の配線の所望の位置に対応した開口を有するスクリーン版を用いて金属ペーストをスクリーン印刷し、印刷された金属ペーストを熱処理による乾燥及び焼成を行って、前記回路基板上の前記下層の配線を含む所定の領域に金属柱を形成する工程と、前記金属柱の先端部が露出するように前記下層の配線と前記金属柱とを被覆する絶縁膜を形成する工程と、前記金属柱の露出した先端部に重なるように前記絶縁膜の上に上層の配線を形成する工程とを備えていることを特徴としている。

【0006】前記金属柱の先端部が露出するように前記下層の配線と前記金属柱とを被覆する絶縁膜を形成する工程において、前記回路基板上に、前記下層の配線及び前記金属柱を埋め込むように層間絶縁膜を形成し、その後この絶縁膜表面を前記金属柱の先端部が露出するまでエッチバックする前記回路基板に半導体基板を用いる場合において、この半導体基板の表面を絶縁膜で被覆する。所望の配線パターンの開口を有するスクリーン版を介して金属ペーストを前記回路基板の上にスクリーン印刷し、印刷された金属ペーストを熱処理による乾燥及び焼成によって前記回路基板上に前記下層の配線又は前記上層の配線もしくは前記上層及び下層の配線の双方を形成することができる。

【0007】

【作用】スクリーン印刷を利用して配線間を接続する接続電極などの導電膜を半導体基板や回路基板などに形成するので、リソグラフィ工程やエッチング工程を用い、かつ、エッチバックを行うと、層間絶縁膜の表面が平坦化されるので、改めて平坦化工程を行うことなく層間絶縁膜に形成された開口を介して配線間接続を行う従来の工程に比較して大幅な工程削減が可能になる。

【0008】

【実施例】以下、図面を参照して本発明の実施例を説明する。図1及至図4を参照して第1の実施例を説明する。図1は、この実施例に係る多層配線基板の断面図、図2乃至図4は、その製造工程断面図である。回路基板になる半導体基板1は、シリコン半導体基板からなり、半導体基板主面上に厚さ約1000オングストロームのシリコンの熱酸化膜（図示せず）が形成されていて、その上に多層配線が形成される。この実施例ではシリコン半導体基板を用いているが、この基板は、半導体チップなどを搭載するAlNなどからなる回路基板でも良い。

また、シリコン半導体基板を用いるにしても、その上にポリイミドなど層間絶縁膜を形成し、この上に前記多層配線を形成することも可能である。この表面にシリコン熱酸化膜が形成された半導体基板1上には所定のパターンを有する下層の第1の配線2を形成する。この第1の配線2は、半導体基板1上の最初の配線層でも良く、また、すでに何層か形成されていても良い。

【0009】真空蒸着法やスパッタリング法によりTi又はTiを含むバリアメタルを約1000オングストローム、Cuを約3μm、Pdを約1000オングストローム連続して堆積した後にリソグラフィ工程を用いてパターンニングし、例えば、PdはHCl、HNO₃、CH₃COOHの混液、Cu、TiはH₂O₂とC₆H₈O₇の混液を用いてエッチングし、第1の配線である配線幅20〜30μmのPd/Cu/Ti系金属配線パターンを形成する。基板上にフォトリソを形成しこれをエッチングして配線パターンを形成し、このフォトリソを介して基板上に配線用金属を蒸着法などで堆積し、最終的にフォトリソを除去して基板上に配線パターンを形成することもできる。その後、金属配線パターン2上の30〜50μm²程度のほぼ正方形のアラウンド部に後述するスクリーン印刷法により配線間を接続する接続電極である金属柱11を形成する（図2）。印刷用の金属ペーストは、例えば、粒径が約2000オングストロームのAu粒子、ガラスフリット（PbO）量が15wt%以下の材料を用いた。

【0010】第1の配線2の上にAuペーストをスクリーン印刷した後に、大気中で昇温速度200℃/hr、450℃で30分保持し、焼成して前記Auの金属柱11を形成する。Auは第1の配線2表面のPd層と良好な密着性を有しており、接触抵抗が小さい。次いで、粘度約2000cPのポリイミド溶液をこの半導体基板1上に滴下し、500rpm/10秒、1500rpm/15秒のスピン回転を順次行った後、窒素雰囲気中で150℃/60分の乾燥固化して約30μm厚のポリイミド膜の層間絶縁膜3を形成する（図3）。層間絶縁膜はポリイミドに限らず、PSGやシリコン酸化膜などを用いても良い。次で、この層間絶縁膜3の全面をコリン溶液でエッチバックし、Au金属柱11の先端を露出させてから320℃/30分の最終固化を行って層間絶縁膜3を完全に形成する（図4）。次いで、前述と同じ方法で、上層のPd/Cu/Tiからなる第2の配線4を形成する。図示はしないが、この配線4上に次ぎの層間絶縁膜を介して第3、第4或いはそれ以上の配線を形成するか、すぐBPSGなどからなる保護絶縁膜5を形成しても良い。

【0011】この図に示すように第1及び第2の配線を接続するには、接続電極であるAu金属柱11を用いる。この接続電極11は、層間絶縁膜3に埋め込まれて上下にある2つの配線を電氣的に接続している。ベース

ト焼成したAuはPbOを含んでおり、結晶粒も小さく、比抵抗値は約 $5\mu\Omega\text{cm}$ とバルクに比較して高い値を示すが、層間絶縁膜の耐熱限界が原因で多層配線形成後の高温アニールにより再結晶・結晶粒粗大化が実施できなくても、金属柱を高さ約 $20\mu\text{m}$ 、直径約 $30\mu\text{m}$ で近似したときの抵抗値は $1.4\text{m}\Omega$ であり、半導体装置としての特性に支障を来さない。また、表面酸化が無いので、Au金属柱と第2の配線との接触抵抗も小さくなる。また、この実施例によれば、ポリイミドをエッチバックすることにより、金属柱の先端を露出させるとともに平坦化も行われる。したがって、その上の金属配線形成にスクリーン印刷法を用いることも可能である。しかし、金属ペーストの焼成温度の上限が層間絶縁膜の耐熱温度以下に制限されるために使用できるペースト材料は制約を受ける。

【0012】本発明は、スクリーン印刷法を利用することに特徴がある。スクリーン印刷は版に張設されたスクリーンに主として写真製版法により開口部と非開口部とからなる図形パターンを形成してスクリーン印刷版を形成し、このスクリーン印刷版の上に印刷用のインキを置きスクリーン面にスキージを摺接させて前記開口部からインキを押し出すことによりスクリーンの下に配置された被印刷面に図形パターンを転写する方式である。印刷方法としては、図5による方法と図6による方法とがある。図5は、スクリーン印刷機によるスクリーン印刷中の模式断面図である。版15は、木又は金属の矩形の枠体12にスクリーン13をその四辺を引張って所定の張力を持たせた状態で接着剤などを用いて取付けて構成されている。そして、印刷を行うときは、印刷台14上に真空吸着などにより載置固定された半導体基板1とスクリーン13との間にギャップ(d)をとり、枠体12を固定して版15を印刷機本体にセットする。

【0013】この時スクリーン13は二点鎖線で示す様に水平に張った状態にある。この状態でスクリーン上にインキ16を塗布する。次いで、スキージ17をスクリーン13に圧接させてスクリーン13を半導体基板1の表面に押し圧し接触させる。この時スクリーン13は伸ばされて実線で示した状態になっている。この状態でスキージ17を矢印の方向へ移動させ、スクリーン13の開口部を通してインキ16を半導体基板1へ転写する。スキージ17の移動に伴いスクリーン13は、その張力により順次、いわゆる版離れしながら半導体基板1との接触位置が移って印刷が行われる。本実施例では、図6の印刷方法を用いた。図6は、スクリーン印刷機によるスクリーン印刷中の模式断面図、図7はその平面図である。この印刷機は、固定枠体18と、可動枠体19とを備え、可動枠体19は固定枠体18を支点として移動する。半導体基板1のスクリーン印刷面と可動枠体19とのなす角度を θ とすると、スキージ17の移動に合わせて版15の自由端の可動枠体19を上方へ持ち上げて前

記角度 θ を θ_1 、 θ_2 、 θ_3 と順に大きくすることにより、半導体基板1のスクリーン印刷面と版15との間のギャップdが印刷時に常にゼロである。スキージ押圧などによる版15の変形が無いので印刷精度が向上する。

【0014】前記実施例では、複数の集積回路素子や個別半導体素子などからなる半導体チップが搭載される回路基板として半導体基板を用いているが、これは、導電性であるので、その表面は、シリコンなどの酸化膜やポリイミドなどの絶縁膜を形成する。そして、この上に半導体チップを搭載する。この絶縁膜の一部は、例えばこの半導体装置の構成要素に含まれるキャパシタの誘電体として用いることもできる。抵抗を形成する場合には、絶縁膜の上に導電膜をスクリーン印刷などで適宜の領域に形成する。

【0015】つぎに、図8を参照して第2の実施例を説明する。図は、この実施例により形成された半導体装置の回路基板の断面図である。回路基板1には、AlN基板を利用し、その上に多層配線が形成される。この実施例ではシリコン半導体基板を用いているが、この基板は、半導体チップなどを搭載するAlNなどからなる回路基板でも良い。このAlN基板1上に所定のパターンを有する第1の配線2を形成する。この配線を形成するには、まず、ガラスフリット(PbO)を15wt%以下含むAgやCuなどの金属ペーストを、例えば、図6に示す所定の配線パターンを有するスクリーンを介してAlN基板1上に塗布印刷し、これを焼成してこのAgなどからなる配線幅 $20\sim 30\mu\text{m}$ の第1の配線2を形成する。次いで、第1の金属配線2上の $30\sim 50\mu\text{m}^2$ 程度のほぼ正方形のアラウンド部にスクリーン印刷法により配線間を接続する接続電極である金属柱11を形成する。印刷用の金属ペーストは、例えば、粒径が約 2000\AA のオングストロームのAu粒子、ガラスフリット(PbO)量が15wt%以下の材料を用いた。

【0016】第1の配線2の上にAuペーストをスクリーン印刷した後に、大気中で昇温速度 $200^\circ\text{C}/\text{hr}$ 、 450°C で30分保持し、焼成して前記Auの金属柱11を形成する。次いで、粘度約 20000cP のポリイミド溶液をこの半導体基板1上に滴下し、 $500\text{rpm}/10\text{秒}$ 、 $1500\text{rpm}/15\text{秒}$ のスピンの回転を順次行った後、窒素雰囲気中で $150^\circ\text{C}/60\text{分}$ の乾燥固化して約 $30\mu\text{m}$ 厚のポリイミド膜の層間絶縁膜3を形成する。次いで、この層間絶縁膜3の全面をコリン溶液でエッチバックし、Au金属柱11の先端を露出させてから $320^\circ\text{C}/30\text{分}$ の最終固化を行って層間絶縁膜3を完全に形成する。次いで、前述と同じ様に図6に示すスクリーンを用いて第2の配線4を形成する。その上にPSGなどからなる保護絶縁膜5を形成する。第2の配線に用いる材料は、金属ペーストの焼成温度の上限が層間絶縁膜の耐熱温度以下に制限されるために使用できる材料は制約を受ける。この実施例は第1の配線、第2の配

線及び金属柱ともスクリーン印刷で形成しているので、前述の実施例よりさらに工程が簡略化する。

【0017】次ぎに、図9を参照して第3の実施例を説明する。図は、この実施例により形成された半導体装置の回路基板の断面図である。回路基板1には、AlN基板を用い、この表面には所定のパターンを有する第1の配線2を形成する。真空蒸着法やスパッタリング法によりTi又はTiを含むバリアメタルを約1000オングストローム、Cuを約3μm、Pdを約1000オングストローム連続して堆積した後にリソグラフィ工程を用いてパターニングし、例えば、PdはHCl、HNO₃、CH₃COOHの混液、Cu、TiはH₂O₂とC₆H₈O₇の混液を用いてエッチングし、第1の配線である配線幅20〜30μmのPd/Cu/Ti系金属配線パターン2を形成する。その後、金属配線パターン2上の30〜50μm²程度のほぼ正方形のアラウンド部にスクリーン印刷法により配線間を接続する金属柱11を形成する。印刷用の金属ペーストは、例えば、粒径が約2000オングストロームのAu粒子、ガラスフリット(PbO)量が15wt%以下の材料を用いた。第1の配線2の上にAuペーストをスクリーン印刷した後に、大気中で昇温速度200℃/hr、450℃で30分保持し、焼成して前記Auの金属柱11を形成する。

【0018】次いで、粘度約20000cpのポリイミド溶液をこの半導体基板1上に滴下し、500rpm/10秒、1500rpm/15秒のスピンの回転を順次行った後、窒素雰囲気中で150℃/60分の乾燥固化して約30μm厚のポリイミド膜の層間絶縁膜3を形成する。次いで、この層間絶縁膜3の全面をコリン溶液でエッチバックし、Au金属柱11の先端を露出させてから320℃/30分の最終固化を行って層間絶縁膜3を完全に固化する。次いで、スクリーン印刷法で第2の配線4を形成する。この配線を形成するには、まず、ガラスフリット(PbO)を15wt%以下含むAgやCu、Alなどの金属ペーストを、例えば、図6に示す所定の配線パターンを有するスクリーンを介してAlN基板1上に塗布印刷する。そして、これを焼成してAgなどからなる配線幅20〜30μmの第2の配線4を形成する。その上にPSGなどからなる保護絶縁膜5を形成する。

【0019】この実施例では、第1の配線の形成にはスパッタリング法を用い、第2の配線の形成にはスクリーン印刷法を用いているが、第1の配線をスクリーン印刷で形成し、第2の配線をスパッタリングで形成することも可能である。前記スクリーン印刷により形成される金属柱は、前述の実施例ではAuを用いたが、これ以外にもPd、Pt、Agなどの材料を用いることが可能である。以上、本発明の実施例において、配線形成には、スパッタリング、真空蒸着、スクリーン印刷などの方法を

利用しているが、本発明は、これらに限定すること無く、例えば、蒸発させた金属を不活性ガスにより微粒子化し、この微粒子を微粒子の発生した場所と回路基板が載置されている場所との間の差圧を利用して、この回路基板上に微粒子を吹付けて微粒子から構成した配線を回路基板に形成するいわゆるガスデポジション法を利用することもできる。

【0020】

【発明の効果】本発明は、以上の構成により、基板上の多層配線を形成するに際して、スクリーン印刷法により配線間を接続する導電膜を形成するので、層間絶縁膜に開口を設ける必要がなく、これを形成するためのリソグラフィ工程やエッチング工程を省略することができる。また、層間絶縁膜をエッチバックしてこの導電膜を露出させるときにこの層間絶縁膜の表面を平坦化するので、層間絶縁膜の上に形成される上層の配線は、エッチバック後連続して形成することが可能になり、製造工程を大幅に短縮することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の多層配線基板の断面図。

【図2】図1の多層配線基板の製造工程断面図。

【図3】図1の多層配線基板の製造工程断面図。

【図4】図1の多層配線基板の製造工程断面図。

【図5】本発明に用いるプリント印刷方式の説明断面図。

【図6】本発明に用いるプリント印刷方式の説明断面図。

【図7】図6のプリント印刷方式の説明平面図。

【図8】本発明の第1の実施例の多層配線基板の断面図。

【図9】本発明の第1の実施例の多層配線基板の断面図。

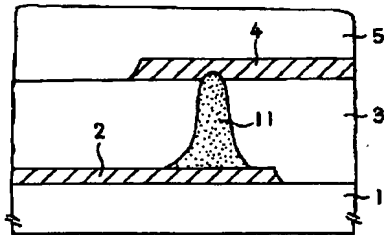
【図10】従来の多層配線基板の断面図。

【符号の説明】

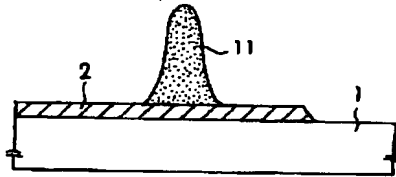
1	基板（回路基板、半導体基板）
2	第1の配線
3	層間絶縁膜
4	第2の配線
5	絶縁保護膜
11	導電膜（金属柱）
12	スクリーン枠体
13	スクリーン
14	印刷台
15	版
16	インキ
17	スキージ
18	固定枠体
19	移動枠体
20	被印刷面

31 層間絶縁膜のコンタクト孔

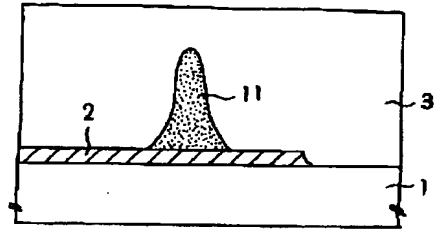
【図1】



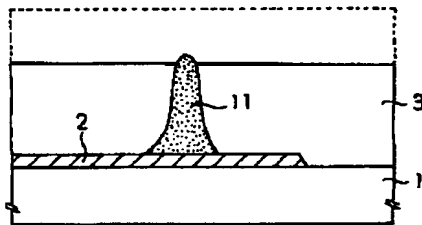
【図2】



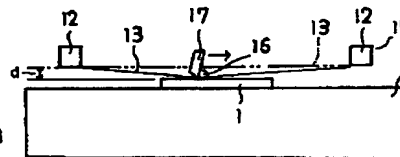
【図3】



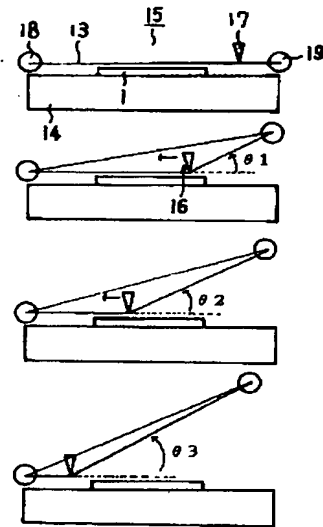
【図4】



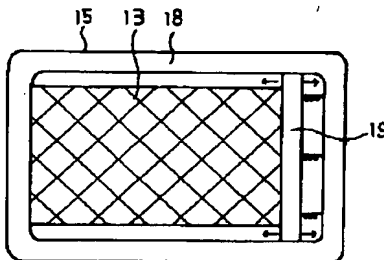
【図5】



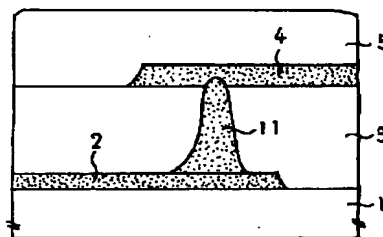
【図6】



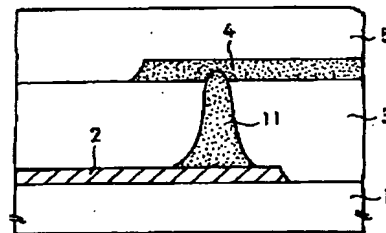
【図7】



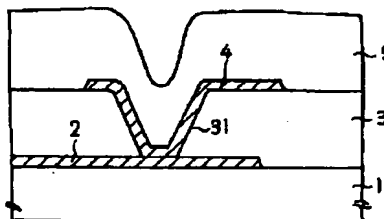
【図8】



【図9】



【図10】



BEST AVAILABLE COPY

フロントページの続き

(51)Int. Cl.⁵

H05K 3/22

3/40

識別記号

弁内整理番号

F I

技術表示箇所

B 7511-4E

K 7511-4E

(7)

特開平6-216258

3/46

N 6921-4E

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216258

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H01L 21/90
H01L 21/3205
H01L 23/12
H05K 3/22
H05K 3/40
H05K 3/46

(21)Application number : 05-021738

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.01.1993

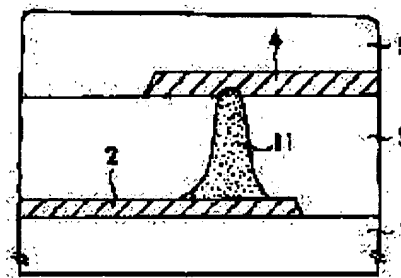
(72)Inventor : EZAWA HIROKAZU
MIYATA MASAHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To facilitate manufacture, to form a metal column for connecting interconnections with less steps, and to simultaneously flatten an insulating film.

CONSTITUTION: A semiconductor substrate 1 insulated on a surface via a silicon thermal oxide film is formed with an interconnection 2 of a lower layer having a predetermined pattern by sputtering. A metal column 11 to become a connecting electrode is formed on the interconnection 2 by screen printing. After a polyimide insulating film 3 is so formed as to completely bury it, the insulating film is etched back to expose an end of the column. Thereafter, an interconnection 4 is so provided on the film 3 as to be brought into contact with the end, and both the interconnections are electrically connected.



LEGAL STATUS

[Date of request for examination] 11.12.1998

[Date of sending the examiner's decision of rejection] 30.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3457348

[Date of registration] 01.08.2003

[Number of appeal against examiner's decision of rejection] 2001-03090

BEST AVAILABLE COPY

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The process which forms lower layer wiring in the circuit board which consists of the semi-conductor substrate or insulating substrate in which two or more semiconductor chips are carried, A metal paste is screen-stenciled using the screen version which has opening corresponding to the location of a request of said lower layer wiring. The process which forms a metal column in the predetermined field which performs desiccation and baking according the printed metal paste to heat treatment, and includes said lower layer wiring on said circuit board, The manufacture approach of the semiconductor device characterized by having the process which forms the insulator layer which covers said lower layer wiring and said metal column so that the point of said metal column may be exposed, and the process which forms the upper wiring on said insulator layer so that it may lap with the point which said metal column exposed.

[Claim 2] The manufacture approach of the semiconductor device according to claim 1 characterized by carrying out etchback until it forms an interlayer insulation film in the process which forms the insulator layer which covers said lower layer wiring and said metal column so that said lower layer wiring and said metal column may be embedded on said circuit board so that the point of said metal column may be exposed, and the point of said metal column exposes this insulator layer front face after that.

[Claim 3] The manufacture approach of the semiconductor device according to claim 1 or 2 characterized by covering the front face of this semi-conductor substrate with an insulator layer when using a semi-conductor substrate for said circuit board.

[Claim 4] The predetermined field of the insulator layer which covers the front face of said semi-conductor substrate is the manufacture approach of the semiconductor device according to claim 3 characterized by using for the dielectric of a capacitor.

[Claim 5] The manufacture approach of the semiconductor device according to claim 1 to 4 which screen-stencils a metal paste on said circuit board through the screen version which has opening of a desired circuit pattern, and is characterized by forming said lower layer wiring, wiring of said upper layer or said upper layer, and the both sides of lower layer wiring on said circuit board by desiccation and baking according the printed metal paste to heat treatment.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the approach of connecting between wiring of the multilayer-interconnection substrate in which the manufacture approach of a semiconductor device is started, especially two or more semiconductor chips are carried.

[0002]

[Description of the Prior Art] In order to attain the densification of a semiconductor device, and a miniaturization in recent years, the multi chip package which stores two or more semiconductor chips with which the integrated circuit device, the individual semiconductor device, etc. are formed in one package came to be used. The time delay per gate of Logic LSI is accelerated with several 100 ps(es), for example as large-scale-izing and improvement in the speed of the function of electronic equipment are called for especially. On the other hand, the engine performance of LSI accelerated to the printed-circuit board with the conventional mounting gestalt which carries much DIP (dualinline package) and plug-in packages cannot be demonstrated enough. That is, about the travelling period of a signal, since wiring during a chip is long, this time delay cannot be shortened. Therefore, many semiconductor chips are carried on one current semiconductor substrates, such as a ceramic substrate or silicon, and the multi chip module (multichip module:MCM) of the high density assembly of the high performance which shortened the wire length between semiconductor chips very much is developed. And it is one of the production processes important when forming semiconductor devices, such as IC and LSI, to connect between wiring on the circuit board or a semi-conductor substrate. Especially the thing for which high integration of a semiconductor device and a miniaturization take for progressing, a multilayer interconnection is formed on the circuit board, and between the multilayer interconnection is connected efficiently is indispensable in order to form the semiconductor device of high performance.

[0003] With reference to drawing 10, the connection method between the multilayer interconnections of the multilayer-interconnection substrate of the conventional MCM is explained. For example, the 1st-layer wiring 2 which has a desired pattern is formed on the silicon substrate 1 by which the thermal oxidation film with a thickness of 1000Å was formed in the front face. This wiring 2 has the laminated structure of Ti/Cu/Ti which the thickness of each class becomes from Cu layer with a thickness of about 3 micrometers inserted into two-layer Ti layer which is about 600Å, and these two Ti layers, and the vacuum deposition method or the sputtering method is used for that manufacture approach. Then, for example, the solution of polyimide is applied all over a semi-conductor substrate, is dried, and the polyimide insulator layer 3 is formed. And using lithography, after forming the contact hole 31 in the polyimide film 3, the polyimide film 3 used as an interlayer insulation film is formed. Subsequently, the 2nd-layer wiring 4 of Ti/Cu/Ti, aluminum, etc. is formed at the same process as the 1st-layer wiring on this. Since the 2nd-layer wiring 4 is formed also in said contact hole 31 at this time, the 1st layer and the 2nd-layer wiring are connected electrically mutually. This process is repeated and further multilayer wiring is connected mutually.

[0004]

[Problem(s) to be Solved by the Invention] In the case of a contact porous dehiscence hole, processes, such as etching techniques, such as a photolithography technique and RIE, and photograph RESHISUTO exfoliation, are needed. In the case of polyimide, wet etching can do with a choline solution, but the wet etching of processing of an organic compound insulator is impossible, and since it depends on dry etching or use of a wet etching solution has a large limit in many cases, it is incompatible in the property and manufacturing cost which the film has. Moreover, since the thickness of an interlayer insulation film is about 10 micrometers, when the consistency of the upper wiring becomes high, in case it is the upper wiring formation, lower layer flattening is needed. This invention was accomplished according to such a situation, is easy to manufacture, forms the metal column for moreover connecting between wiring by the small routing

counter, and aims it at offering the manufacture approach of the semiconductor device which can also perform flattening of an insulator layer to coincidence.

[0005]

[Means for Solving the Problem] This invention is characterized by forming a metal column by screen-stencil on wiring of the circuit boards, such as a multilayer-interconnection substrate of MCM which carries a semiconductor chip, or a semi-conductor substrate, covering an insulator layer on this, exposing this metal column from an insulator layer, forming the upper wiring on it, and connecting between these wiring. Namely, the manufacture approach of the semiconductor device of this invention The process which forms lower layer wiring in the circuit board which consists of the semi-conductor substrate or insulating substrate in which two or more semiconductor chips are carried, A metal paste is screen-stenciled using the screen version which has opening corresponding to the location of a request of said lower layer wiring. The process which forms a metal column in the predetermined field which performs desiccation and baking according the printed metal paste to heat treatment, and includes said lower layer wiring on said circuit board, It is characterized by having the process which forms the insulator layer which covers said lower layer wiring and said metal column so that the point of said metal column may be exposed, and the process which forms the upper wiring on said insulator layer so that it may lap with the point which said metal column exposed.

[0006] In the process which forms the insulator layer which covers said lower layer wiring and said metal column, an interlayer insulation film is formed so that said lower layer wiring and said metal column may be embedded on said circuit board, so that the point of said metal column may be exposed, and when using a semi-conductor substrate for said circuit board which carries out etchback until the point of said metal column exposes this insulator layer front face after that, the front face of this semi-conductor substrate is covered with an insulator layer. A metal paste can be screen-stenciled on said circuit board through the screen version which has opening of a desired circuit pattern, and said lower layer wiring, wiring of said upper layer or said upper layer, and the both sides of lower layer wiring can be formed on said circuit board by desiccation and baking according the printed metal paste to heat treatment.

[0007]

[Function] Since electric conduction film, such as a connection electrode which connects between wiring using screen-stencil, is formed in a semi-conductor substrate, the circuit board, etc., if etchback is performed using a lithography process and an etching process, since flattening of the front face of an interlayer insulation film will be carried out, drastic process reduction is attained as compared with the conventional process of making connection between wiring through opening formed in the interlayer insulation film, without performing a flattening process anew.

[0008]

[Example] Hereafter, the example of this invention is explained with reference to a drawing. The 1st example is explained with reference to drawing 1 **** drawing 4 . The sectional view, drawing 2 , or drawing 4 of the multilayer-interconnection substrate which drawing 1 requires for this example is that production process sectional view. The semi-conductor substrate 1 which turns into the circuit board consists of a silicon semi-conductor substrate, the thermal oxidation film (not shown) of silicon with a thickness of about 1000Å is formed on the semi-conductor substrate principal plane, and a multilayer interconnection is formed on it. Although the silicon semi-conductor substrate is used in this example, the circuit board which consists of AlN which carries a semiconductor chip etc. is sufficient as this substrate. Moreover, even if it uses a silicon semi-conductor substrate, it is also possible to form interlayer insulation films, such as polyimide, on it, and to form said multilayer interconnection on this. On the semi-conductor substrate 1 with which the silicon thermal oxidation film was formed in this front face, the 1st lower layer wiring 2 which has a predetermined pattern is formed. The wiring layer of the beginning on the semi-conductor substrate 1 is sufficient as this 1st wiring 2, and it may already be formed several layers.

[0009] The barrier metal which contains Ti or Ti by vacuum evaporation technique or the sputtering method About 1000Å, After depositing about 3 micrometers and about 1000Å of Pd for Cu continuously, patterning of the lithography process is used and carried out. For example, Pd is Cu and the mixture of HCl, HNO₃, and CH₃ COOH and Ti are H₂ O₂. C six H₈O₇ It etches using mixture and a Pd/Cu/Ti system metal circuit pattern with a wiring width of face of 20-30 micrometers which is the 1st wiring is formed. a substrate top -- a photoresist -- forming -- this -- etching -- a circuit pattern -- forming -- this photoresist -- minding -- a substrate top -- wiring -- public funds -- a group can be deposited with vacuum deposition etc., finally a photoresist can be removed, and a circuit pattern can also be formed on a substrate. Then, 30-50micrometer² on the metal circuit pattern 2 The metal column 11 which is the connection electrode which connects between wiring with the screen printing of extent later mentioned mostly in the square ARAUNDO section is formed (drawing 2). As for the metal paste for printing, Au particle and the amount of glass frits (PbO) whose particle size is about 2000Å used the ingredient not more than 15wt%.

[0010] After screen-stenciling Au paste after the 1st wiring 2, in atmospheric air, it holds for 30 minutes, it calcinates at

the programming rate of 200 degrees C / hr, and 450 degrees C, and said metal column 11 of Au is formed. Au has Pd layer of the 1st wiring 2 front face, and good adhesion, and its contact resistance is small. Subsequently, after dropping the polyimide solution of about 20000 viscosity cp on this semi-conductor substrate 1 and performing spin rotation for 1500rpm / 15 seconds one by one for 500rpm / 10 seconds, 150 degrees C / 60 parts carry out desiccation solidification in nitrogen-gas-atmosphere mind, and the interlayer insulation film 3 of the polyimide film of about 30-micrometer thickness is formed (drawing 3). An interlayer insulation film may use not only polyimide but PSG, silicon oxide, etc. Since etchback of the whole surface of this interlayer insulation film 3 is carried out with a choline solution and the tip of Au metal column 11 is exposed next, the last solidification for 320 degrees C / 30 minutes is performed, and an interlayer insulation film 3 is formed completely (drawing 4). Subsequently, the 2nd wiring 4 which consists of upper Pd/Cu/Ti is formed by the same approach as the above-mentioned. Although illustration is not carried out, the protection insulator layer 5 which forms the 3rd, the 4th, or wiring beyond it through the following interlayer insulation film on this wiring 4, or consists of BPSG etc. immediately may be formed.

[0011] As shown in this drawing, in order to connect the 1st and 2nd wiring, Au metal column 11 which is a connection electrode is used. This connection electrode 11 has connected electrically two wiring which is embedded at an interlayer insulation film 3 and exists up and down. Although Au which carried out paste baking contains PbO, crystal grain is also small and resistivity shows a high value as compared with about 5 microhm-cm and bulk, even if it cannot carry out recrystallization and coarsening by elevated-temperature annealing after multilayer-interconnection formation owing to the heat-resistant limitation of an interlayer insulation film, the resistance when approximating a metal column for height of about 20 micrometers and the diameter of about 30 micrometers is 1.4mohm, and does not cause trouble to the property as a semiconductor device. Moreover, since there is no scaling, the contact resistance of Au metal column and the 2nd wiring also becomes small. Moreover, according to this example, by carrying out etchback of the polyimide, while exposing the tip of a metal column, flattening is also performed. Therefore, it is also possible to use screen printing for the metal wiring formation on it. However, the paste ingredient which can be used since the upper limit of the burning temperature of a metal paste is restricted to below the heat-resistant temperature of an interlayer insulation film receives constraint.

[0012] This invention has the description in using screen printing. Screen-stencil is a method which imprints a graphic form pattern to the printed side arranged under a screen by forming the graphic form pattern which mainly becomes the screen stretched by the version from opening and non-opening with a photo-engraving process, forming the screen-stencil version, placing the ink for printing on this screen-stencil version, making a squeegee **** to a screen side, and extruding ink from said opening. As the printing approach, there are an approach by drawing 5 and an approach by drawing 6 . Drawing 5 is a type section Fig. under screen-stencil by the screen printer. The version 15 is attached and constituted using adhesives etc., where it pulled the neighborhood for the screen 13 to the frame 12 of the rectangle of a tree or a metal and predetermined tension is given to it. And when printing, a gap (d) is taken between the semi-conductor substrates 1 and screens 13 in which installation immobilization was carried out by vacuum adsorption etc. on the printing base 14, a frame 12 is fixed, and a version 15 is set to the body of a printing machine.

[0013] At this time, a screen 13 is in the condition of having stretched horizontally as a two-dot chain line showed. Ink 16 is applied on a screen in this condition. Subsequently, the pressure welding of the squeegee 17 is carried out to a screen 13, and a screen 13 is pressed and contacted on the front face of the semi-conductor substrate 1. At this time, the screen 13 is in the condition which it was lengthened and showed as the continuous line. A squeegee 17 is moved in the direction of an arrow head in this condition, and ink 16 is imprinted to the semi-conductor substrate 1 through opening of a screen 13. migration of a squeegee 17 -- following -- a screen 13 -- the tension -- one by one -- being the so-called - version-separating and carrying out, a contact location with the semi-conductor substrate 1 moves, and printing is performed. The printing approach of drawing 6 was used in this example. The type section Fig. under screen-stencil according [drawing 6] to a screen printer and drawing 7 are the top view. This printing machine is equipped with the fixed frame object 18 and the movable frame 19, and the movable frame 19 moves the fixed frame object 18 as the supporting point. When the include angle of the screen-stencil side of the semi-conductor substrate 1 and the movable frame 19 to make is set to theta, to compensate for migration of a squeegee 17, the movable frame 19 of the free end of a version 15 is lifted upwards, and it is said include angle theta theta 1, theta 2, and theta 3 By enlarging in order, the gap d between the screen-stencil side of the semi-conductor substrate 1 and a version 15 is always zero at the time of printing. Since there is no deformation of the version 15 by squeegee press etc., a print quality improves.

[0014] Although the semi-conductor substrate is used in said example as the circuit board in which the semiconductor chip which consists of two or more integrated circuit devices, individual semiconductor devices, etc. is carried, since this is conductivity, the front face forms insulator layers, such as oxide films, such as silicon, and polyimide. And a semiconductor chip is carried on this. A part of this insulator layer can also be used as a dielectric of the capacitor

contained in the component of this semiconductor device, for example. In forming resistance, it forms the electric conduction film to a proper field by screen-stencil etc. on an insulator layer.

[0015] Below, the 2nd example is explained with reference to drawing 8. Drawing is a sectional view of the circuit board of the semiconductor device formed of this example. An AlN substrate is used for the circuit board 1, and a multilayer interconnection is formed on it. Although the silicon semi-conductor substrate is used in this example, the circuit board which consists of AlN which carries a semiconductor chip etc. is sufficient as this substrate. The 1st wiring 2 which has a predetermined pattern is formed on this AlN substrate 1. for forming this wiring -- first -- a glass frit (PbO) -- less than [15wt%] -- spreading printing is carried out on the AlN substrate 1 through the screen which has the predetermined circuit pattern shown in drawing 6, and the 1st wiring 2 with a wiring width of face of 20-30 micrometers which calcinates this and consists of this Ag etc. is formed for metal pastes to include, such as Ag and Cu. Subsequently, 30-50micrometer2 on the 1st metal wiring 2 The metal column 11 which is the connection electrode of extent which connects between wiring to the square ARAUNDO section with screen printing mostly is formed. As for the metal paste for printing, Au particle and the amount of glass frits (PbO) whose particle size is about 2000A used the ingredient not more than 15wt%.

[0016] After screen-stenciling Au paste after the 1st wiring 2, in atmospheric air, it holds for 30 minutes, it calcinates at the programming rate of 200 degrees C / hr, and 450 degrees C, and said metal column 11 of Au is formed. Subsequently, after dropping the polyimide solution of about 20000 viscosity cp on this semi-conductor substrate 1 and performing spin rotation for 1500rpm / 15 seconds one by one for 500rpm / 10 seconds, 150 degrees C / 60 parts carry out desiccation solidification in nitrogen-gas-atmosphere mind, and the interlayer insulation film 3 of the polyimide film of about 30-micrometer thickness is formed. Subsequently, since etchback of the whole surface of this interlayer insulation film 3 is carried out with a choline solution and the tip of Au metal column 11 is exposed, the last solidification for 320 degrees C / 30 minutes is performed, and an interlayer insulation film 3 is formed completely. Subsequently, the 2nd wiring 4 is formed using the screen shown in drawing 6 like the above-mentioned. The protection insulator layer 5 which consists of a PSG etc. on it is formed. The ingredient which can use the ingredient used for the 2nd wiring since the upper limit of the burning temperature of a metal paste is restricted to below the heat-resistant temperature of an interlayer insulation film receives constraint. Since this example forms the 1st wiring, the 2nd wiring, and a metal column by screen-stencil, a process is further simplified from the above-mentioned example.

[0017] Below, the 3rd example is explained with reference to drawing 9. Drawing is a sectional view of the circuit board of the semiconductor device formed of this example. The 1st wiring 2 which has a predetermined pattern is formed in this front face at the circuit board 1 using an AlN substrate. The barrier metal which contains Ti or Ti by vacuum evaporation technique or the sputtering method About 1000A, After depositing about 3 micrometers and about 1000A of Pd for Cu continuously, patterning of the lithography process is used and carried out. For example, Pd is Cu and the mixture of HCl, HNO₃, and CH₃ COOH and Ti are H₂ O₂. C six H₈O₇ It etches using mixture and the Pd/Cu/Ti system metal circuit pattern 2 with a wiring width of face of 20-30 micrometers which is the 1st wiring is formed. Then, 30-50micrometer2 on the metal circuit pattern 2 The metal column 11 of extent which connects between wiring with screen printing on the square ARAUNDO section is formed mostly. As for the metal paste for printing, Au particle and the amount of glass frits (PbO) whose particle size is about 2000A used the ingredient not more than 15wt%. After screen-stenciling Au paste after the 1st wiring 2, in atmospheric air, it holds for 30 minutes, it calcinates at the programming rate of 200 degrees C / hr, and 450 degrees C, and said metal column 11 of Au is formed.

[0018] Subsequently, after dropping the polyimide solution of about 20000 viscosity cp on this semi-conductor substrate 1 and performing spin rotation for 1500rpm / 15 seconds one by one for 500rpm / 10 seconds, 150 degrees C / 60 parts carry out desiccation solidification in nitrogen-gas-atmosphere mind, and the interlayer insulation film 3 of the polyimide film of about 30-micrometer thickness is formed. Subsequently, since etchback of the whole surface of this interlayer insulation film 3 is carried out with a choline solution and the tip of Au metal column 11 is exposed, the last solidification for 320 degrees C / 30 minutes is performed, and an interlayer insulation film 3 is solidified completely. Subsequently, the 2nd wiring 4 is formed with screen printing. for forming this wiring -- first -- a glass frit (PbO) -- less than [15wt%] -- spreading printing is carried out on the AlN substrate 1 through the screen which has the predetermined circuit pattern which shows metal pastes, such as included Ag, and Cu, aluminum, to drawing 6. And the 2nd wiring 4 with a wiring width of face of 20-30 micrometers which calcinates this and consists of Ag etc. is formed. The protection insulator layer 5 which consists of a PSG etc. on it is formed.

[0019] Although screen printing is used for formation of the 2nd wiring in this example at formation of the 1st wiring using the sputtering method, it is also possible to form the 1st wiring by screen-stencil and to form the 2nd wiring by sputtering. Although Au was used for the metal column formed of said screen-stencil in the above-mentioned example, it can use ingredients, such as Pd, Pt, and Ag, besides this. As mentioned above, in the example of this invention,

although approaches, such as sputtering, vacuum deposition, and screen-stencil, are used for wiring formation This invention atomizes the metal evaporated, for example with inert gas, without limiting to these, and uses the differential pressure between the location where the particle generated this particle, and the location in which the circuit board is laid. The so-called gas deposition method which forms in the circuit board wiring which sprayed the particle on this circuit board and was constituted from a particle can also be used.

[0020]

[Effect of the Invention] Since the electric conduction film which faces this invention by the above configuration forming the multilayer interconnection on a substrate, and connects between wiring with screen printing is formed, it is not necessary to prepare opening in an interlayer insulation film, and the lithography process and ETCHIGU process for forming this can be skipped. Moreover, since flattening of the front face of this interlayer insulation film is carried out when carrying out etchback of the interlayer insulation film and exposing this electric conduction film, it becomes possible to form continuously after etchback, and wiring of the upper layer formed on an interlayer insulation film can shorten a production process sharply.

[Translation done.]

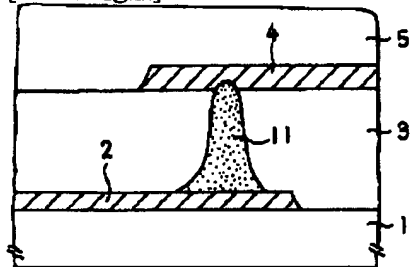
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

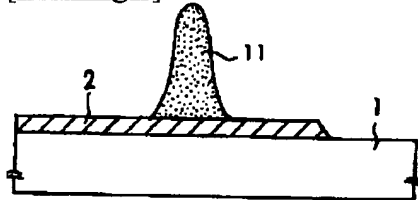
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

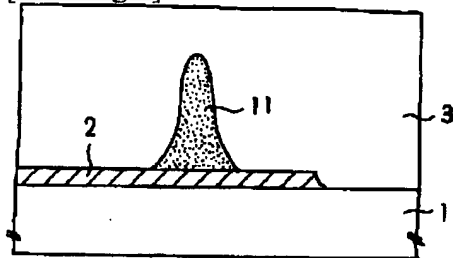
[Drawing 1]



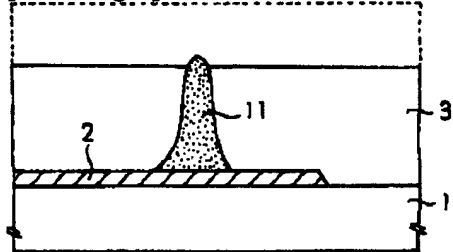
[Drawing 2]



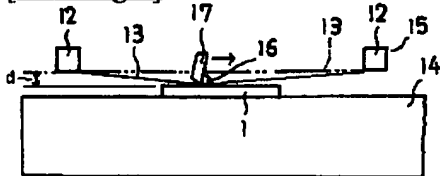
[Drawing 3]



[Drawing 4]

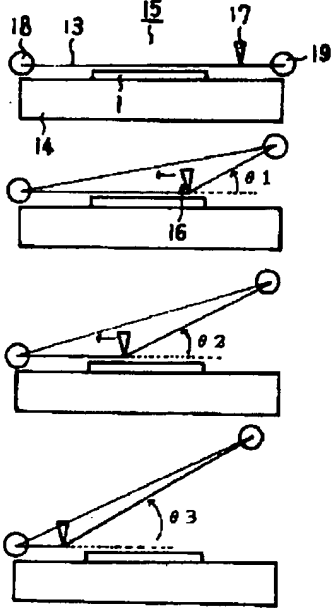


[Drawing 5]

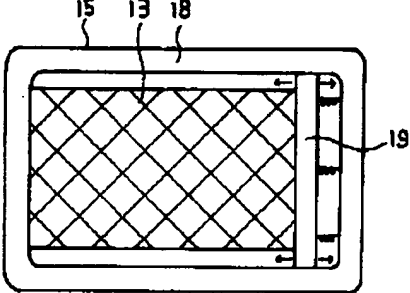


BEST AVAILABLE COPY

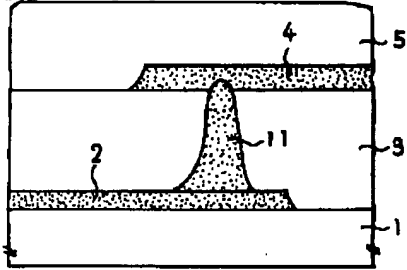
[Drawing 6]



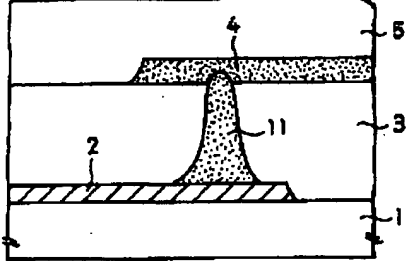
[Drawing 7]



[Drawing 8]

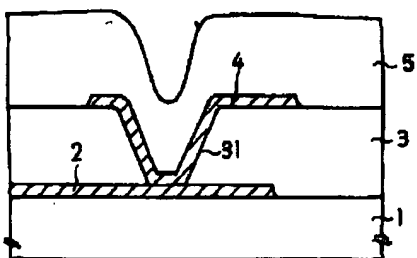


[Drawing 9]



[Drawing 10]

BEST AVAILABLE COPY



[Translation done.]

BEST AVAILABLE COPY